

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Liquid crystal display device with a disconnected wiring pattern attached by independent metal wiring**

Patent Number: ☐ US5744820  
Publication date: 1998-04-28  
Inventor(s): MATSUSHIMA YASUHIRO (JP); YAMASHITA TOSHIHIRO (JP); SHIMADA TAKAYUKI (JP)  
Applicant(s): SHARP KK (JP)  
Requested Patent: ☐ JP8262486  
Application Number: US19950446084 19950515  
Priority Number(s): JP19940199634 19940824; JP19950008466 19950123; JP19950053076 19950313  
IPC Classification: H01L29/04; G02F1/343  
EC Classification: H01L27/12  
Equivalents: ☐ DE19520639, JP3122003B2

---

**Abstract**

---

With respect to at least one of a plurality of TFTs constituting a liquid crystal display device; a signal wiring having one end functioning as a gate electrode of the TFT is formed so as to include: a main portion, formed by patterning a first wiring layer, having a disconnected portion in the vicinity of an active region of the transistor; and a connecting portion, formed by patterning a second wiring layer which is different from the first wiring layer, for interconnecting the disconnected portion. Thus, the breakdown of the gate insulating film of the TFTs during the ion implantation process can be prevented.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-262486

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B 6 1 2 C

審査請求 未請求 請求項の数13 O L (全 17 頁)

(21) 出願番号 特願平7-53076

(22) 出願日 平成7年(1995)3月13日

(31) 優先権主張番号 特願平6-199634

(32) 優先日 平6(1994)8月24日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-8466

(32) 優先日 平7(1995)1月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

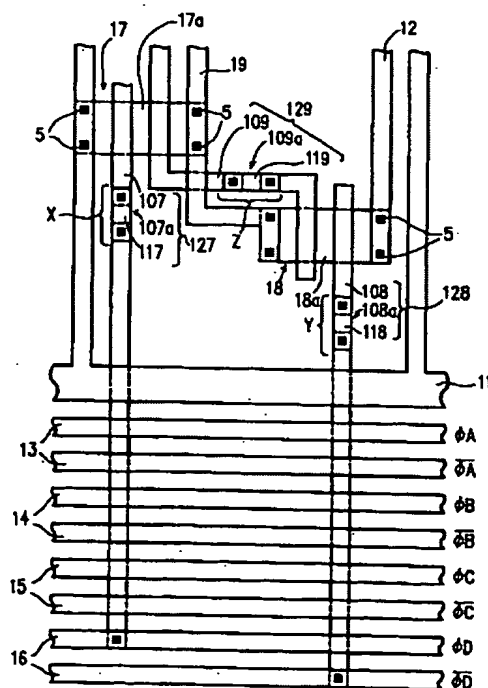
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【目的】 イオン注入時におけるTFTのゲート絶縁膜の破壊を、処理工程の増大を招くことなく、防止することができるドライバ一体型の液晶表示装置を得る。

【構成】 その一部が薄膜トランジスタのゲート電極となっている信号配線127、128、129を、該トランジスタの活性領域近傍に分離部107a、108a、109aを有する、多結晶シリコンからなる配線本体部107、108、109と、該分離部を接続する、アルミからなる配線接続部117、118、119とから構成した。



1

## 【特許請求の範囲】

【請求項1】 絶縁基板上に形成された複数のトップゲート型薄膜トランジスタと、該各薄膜トランジスタのゲート電極に信号を供給する信号配線とを有するドライバー一体型液晶表示装置であって、

該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給する信号配線は、

第1の配線層のパターニングにより該ゲート電極と同一層材料から形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項2】 絶縁基板上に形成された、シフトレジスタを構成する複数のトップゲート型薄膜トランジスタと、該各薄膜トランジスタにクロックラインよりクロック信号を供給する信号配線とを有するドライバー一体型液晶表示装置であって、

該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給する信号配線は、

第1の配線層のパターニングにより形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項3】 絶縁基板上に形成された、アナログスイッチを構成する複数のトップゲート型薄膜トランジスタと、ビデオラインと交差するよう配置され、シフトレジスタからの出力をアナログスイッチとしての薄膜トランジスタのゲート電極に供給する信号配線とを有するドライバー一体型液晶表示装置であって、

該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給する信号配線は、

第1の配線層のパターニングにより形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項4】 絶縁基板上に形成された、シフトレジスタに含まれるインバータもしくはクロックドインバータを構成するトップゲート型のNチャンネル薄膜トランジスタ及びPチャンネル薄膜トランジスタを複数有するドライバー一体型液晶表示装置であって、

該インバータもしくはクロックドインバータに接続され、これを構成するNチャンネル及びPチャンネルト

2

ランジスタの一方のチャンネル上を通ってもう一方のチャンネル上に延びる信号配線を複数備え、

該複数の信号配線のうちの少なくとも一部の信号配線は、

第1の配線層のパターニングにより形成され、該Pチャンネル薄膜トランジスタの島領域と、該Nチャンネル薄膜トランジスタの島領域との間に分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項5】 絶縁基板上に形成され、液晶表示部を構成する絵素用薄膜トランジスタを有するドライバー一体型液晶表示装置であって、

該薄膜トランジスタのゲート電極に信号を供給するゲートバスラインを備えており、

該ゲートバスラインは、

第1の配線層のパターニングにより該ゲート電極と同一層材料から形成され、ソースバスラインとの交差部において絵素ごとに分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項6】 絶縁基板上に形成され、液晶表示部を構成する絵素用薄膜トランジスタを有するドライバー一体型液晶表示装置であって、

該薄膜トランジスタのゲート電極に信号を供給するゲートバスラインを備えており、

該ゲートバスラインは、

第1の配線層のパターニングにより該ゲート電極と同一層材料から形成され、隣接するソースバスライン間において絵素ごとに分離部を有する配線本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されている液晶表示装置。

【請求項7】 絶縁基板上に形成された複数の薄膜トランジスタを有するドライバー一体型液晶表示装置であって、

該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタは、

100 $\mu$ m以上のチャンネル幅を有し、該チャンネル幅方向に複数に分割したものであって、

そのゲート電極が、

第1の配線層のパターニングにより形成され、該薄膜トランジスタの、隣接する分割部分の間に分離部を有する電極本体部と、

該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該電極本体部の分離部を接続する電極接続部とから構成されているものである液晶表示装置。

【請求項8】 前記第2の配線層は、A1からなる上層

3

配線層である請求項1ないし7のいずれかに記載の液晶表示装置。

【請求項9】 前記第2の配線層は、TiW、Ti、Mo、W、あるいはWSiからなる上層配線層である請求項1ないし7のいずれかに記載の液晶表示装置。

【請求項10】 前記分離部を有する信号配線以外の信号配線は、分離部を有しない配線本体部のみから構成されている請求項1ないし4のいずれかに記載の液晶表示装置。

【請求項11】 前記ゲート電極が分離部を有する薄膜トランジスタ以外の薄膜トランジスタのゲート電極は、分離部を有しない電極本体部のみから構成されている請求項7記載の液晶表示装置。

【請求項12】 絶縁基板上に形成された複数のトップゲート型薄膜トランジスタを有するドライバー一体型液晶表示装置であって、

該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に接続された、信号の印加が行われないダミー信号配線を有し、

該ダミー信号配線は、所定の配線層のパターニングにより該ゲート電極と同一層材料から形成され、連続した配線パターンを有するものである液晶表示装置。

【請求項13】 請求項12の液晶表示装置において、前記ダミー信号配線は、該ダミー信号配線を有する薄膜トランジスタ以外の薄膜トランジスタのゲート電極に信号を供給する信号配線に比べて、ゲート配線長が長いものである液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はドライバー一体型液晶表示装置に関し、特にその駆動回路もしくは絵素へ信号を入出力するための信号配線あるいは信号電極の構造に関する。

【0002】

【従来の技術】 図9に従来のドライバー一体型液晶表示装置の構造を模式的に示す。図において21はガラス基板または石英基板で、その上にはゲート駆動回路22、ソース駆動回路23、及びTFT(Thin Film Transistor)アレイ部24が形成されている。TFTアレイ部24には、ゲート駆動回路22から延びる相互に平行な多数のゲートバス配線1が配置されている。ソース駆動回路23から延びる相互に平行な多数のソースバス配線2がゲートバス配線1に直交して配設されている。そして各ゲートバス配線1毎にこれに平行に付加容量共通配線3が配設されている。

【0003】 ここで、隣接するソースバス配線2と、対向するゲートバス配線1及び付加容量共通配線3に囲まれた矩形の領域には、薄膜トランジスタ(以下TFTと言う。)25、絵素26、及び付加容量27が配設されている。上記TFT25のゲート電極はゲートバス配線

4

1に接続され、そのソース電極はソースバス配線2に接続されている。該TFT25のドレイン電極に接続された絵素電極と対向基板上的対向電極との間に液晶が封入され、絵素26が構成されている。また、上記付加容量27に共通接続されている付加容量共通配線3は対向電極と同じ電位の電極に接続されている。

【0004】

【発明が解決しようとする課題】 ところで、このような液晶表示装置では、液晶パネルのドライバー部が小型高精細化するに従って配線が多様化し、配線の交差部分が多くなるとともに配線が長くなってきた。

【0005】 図10は従来のソースドライバ(ソース駆動回路)の構成の1部を示す。この駆動回路ではその動作周波数を上げるために、A~Dの4系列のシフトレジスタが4系列のクロック13~16により駆動されるようになっている。ここで、A1~A3、B1~B3、C1~C3、D1~D3は、単位シフトレジスタであり、1つのインバータと2つのクロックドインバータにより構成されている。それぞれの単位シフトレジスタにおいてはシフト信号の入出力とビット信号の出力とが行われる。

【0006】 例えば、D系列のシフトレジスタでは、入力ノードD<sub>in</sub>に入力されたパルスが、互いに逆相のクロックφ<sub>0</sub>、/φ<sub>0</sub>により、順次各単位シフトレジスタD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>にてシフトされ、出力ノードD<sub>out</sub>に出力される。また、個々の単位シフトレジスタD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>からのもう1つの出力(ビット信号出力)は、アナログスイッチASに送られている。

【0007】 図11は、図10におけるシフトレジスタの基板上でのレイアウトの1部を示す。この図において、17、18はそれぞれ絶縁基板上に隣接して配置されたNチャンネルTFT及びPチャンネルTFTであり、これらはクロックドインバータを構成している。上記NチャンネルTFT17のトランジスタ領域17aの一端側には、低電圧側電源ライン11がコンタクトホール5を介して接続され、PチャンネルTFT18のトランジスタ領域18aの一端側には、高電圧側電源ライン12がコンタクトホール5を介して接続されている。また上記両トランジスタ領域17a、18aの他端側は、1つの信号配線19とコンタクトホール5を介して接続されている。

【0008】 また、上記トランジスタ領域の近傍には、上記低電圧側電源ライン11の幹線部分に平行にクロックライン13~16が配設されている。

【0009】 ここでは、上記NチャンネルTFT17の島状トランジスタ領域17a上には、一端が上記クロックライン16の非反転側φ<sub>0</sub>に接続された信号配線27の他端側部分が延在している。また、上記PチャンネルTFT18の島状トランジスタ領域18a上には、一端が上記クロックライン16の反転側/φ<sub>0</sub>に接続された

5

信号配線28の他端側部分が延在している。また、上記両トランジスタ領域17a, 18a上にまたがるよう信号配線29が設けられている。

【0010】この図11におけるA部分, B部分, C部分では、ゲート電極に用いられるpoly-SiやAlからなる配線が長くなっている。このような長い配線の一端側が、直接TFTのチャンネル領域上に位置している構造では、Nチャンネル, Pチャンネルを決定するために、P<sup>+</sup>やB<sup>+</sup>などのイオンをトランジスタ領域に注入する時に、ゲート絶縁膜においてしばしば絶縁破壊を起こしていた。

【0011】これは、特にシフトレジスタに用いられているクロックインバータにおけるクロック発生部からの信号入力部やCMOSインバータを構成しているNチャンネルもしくはPチャンネルの島でしばしば起こり、破壊の生じているシフトレジスタより後段のシフトレジスタが動作しないという状況が起こっていた。

【0012】次に、CMOSインバータを形成するためのイオン注入工程を例にあげて、上記ゲート絶縁膜の絶縁破壊について説明する。図12は、単純なインバータのレイアウトを示す平面図であり、図13(a)~図13(d)は図12のe-e'線断面の構造を工程順に示す図である。

【0013】ガラス基板21上にNチャンネル及びPチャンネルとなる多結晶シリコン薄膜111, 112、ゲート絶縁膜113及びゲート電極114を順次形成する。ゲート電極114は、インバータの入力となり、その一部がN及びPチャンネル上に位置している。この図において、左側はNチャンネルトランジスタであり、右側はPチャンネルトランジスタである(図13(a))。

【0014】PチャンネルTFT部を覆うようレジストパターン115を形成し、NチャンネルTFT部にP<sup>+</sup>を注入し、チャンネル部116を形成する(図13(b))。

【0015】NチャンネルTFT部を覆うようレジストパターン117を形成し、PチャンネルTFT部にB<sup>+</sup>を注入し、チャンネル部118を形成する(図13(c))。

【0016】全面に層間絶縁膜119を形成し、これにコンタクトホール120を形成した後に、金属膜の形成及びパターニングにより電極121, 122, 123を形成する。ここでNチャンネルの電極121は低電圧側電源に接続され、Pチャンネルの電極123は高電圧側電源ラインに接続され、電極122はインバータの出力端子となる(図13(d))。

【0017】従って、イオン注入時においては、多結晶薄膜の島とゲート電極がある状態であり、金属層はまだ形成されていない。ここでTFTの破壊の原因としては、多結晶薄膜上に位置しているゲートと同材料による

6

配線が長い場合、イオン注入時にこの配線部からレジストに電荷がリークを起こし易くなり、そのためゲート電極がレジストの電位に引っ張られてしまい、注入中のゲート電極とゲート絶縁膜を挟んだ多結晶薄膜との間で電位差が発生し、ゲート絶縁膜の破壊が起こると考えられる。

【0018】このようなゲート絶縁膜の破壊は、シフトレジスタのインバータやクロックインバータを構成するトランジスタだけでなく、アナログスイッチを構成するトランジスタや絵素用トランジスタにおいても問題となっており、以下簡単に説明する。

【0019】図14(a)は、従来例におけるアナログスイッチ近傍のレイアウト図、図14(b)は図14(a)のf-f'線断面の構造を示す図である。図において、133は絶縁基板21上に形成されたアナログスイッチ、131は一端がシフトレジスタの出力に接続された信号配線である。該信号配線131の他端側は、バッファ部を通り、さらに3本のB, G, Rビデオライン134の下層を通して、アナログスイッチ133を構成するトランジスタ領域(多結晶シリコン薄膜)133aのチャンネル上に延びている。ビデオ信号は、各ビデオライン134から配線135を通り、アナログスイッチ133に供給される。該アナログスイッチ133においてサンプリングされたビデオ信号は、配線132を通して表示部24の絵素に書き込まれる。なお、絶縁基板21上にアナログスイッチ133が形成されるプロセスは、図13に示すCMOSインバータの一方のトランジスタの形成工程と基本的に同様である。

【0020】このような構成では、一端側が、アナログスイッチを構成するトランジスタのゲート電極となっている信号配線は、配線長さが長いものであるため、上述したようにゲート絶縁膜の破壊を招くこととなる。

【0021】図15は、従来のアクティブマトリクス基板における絵素1個分の拡大図である。この図においては、簡略化のために付加容量共通配線は、省略されている。ここで、2a, 2bはソースバスライン、1a, 1bはゲートバスライン、25aは絵素電極、25は絵素TFTであり、各符号は、図9のものと対応している。

【0022】この構成では、各絵素TFTのゲート電極につながっているゲートバスラインは、配線長さが非常に長いものであるため、イオン注入工程でチャージアップによる絵素TFTのゲート絶縁膜の破壊を招くこととなる。

【0023】ところで、このようなTFTのイオン注入時におけるチャージアップを防止する方法の一例として、特開昭59-104173号公報に示されるように、TFTへのイオン注入時に絶縁性基板全面に導電性薄膜を堆積するようにし、イオン注入時に生じた電荷を外部に放電することにより、TFTへの損傷を少なくするなどの方法が取られていた。

7

【0024】しかしながら、この方法においては導電膜を形成する工程が増えるばかりでなく、この導電性薄膜を熱酸化するなどの処理が必要であった。

【0025】また、特開平5-198807号公報に示されるように、薄膜トランジスタのゲート電極がすべて短絡されて、基板外周部にまとめられた状態で雰囲気圧力の制御を行い、イオン注入する方法が知られているが、この方法では、短絡されたゲート電極を後に分離する処理をしなければならず、工程が増えてしまうという問題点があった。

【0026】この発明は上記のような問題点を解決するためになされたもので、イオン注入時におけるTFTのゲート絶縁膜の破壊を、処理工程の増大を招くことなく、抑制することができるドライバー型体の液晶表示装置を得ることが本発明の目的である。

【0027】

【課題を解決するための手段】この発明に係る液晶表示装置は、絶縁基板上に形成された複数のトップゲート型薄膜トランジスタと、該各薄膜トランジスタのゲート電極に信号を供給する信号配線とを有するドライバー型体液晶表示装置であって、該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給する信号配線は、第1の配線層のパターニングにより該ゲート電極と同一層材料から形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0028】この発明に係る液晶表示装置は、絶縁基板上に形成された、シフトレジスタを構成する複数のトップゲート型薄膜トランジスタと、該各薄膜トランジスタにクロックラインよりクロック信号を供給する信号配線とを有するドライバー型体液晶表示装置であって、該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給する信号配線は、第1の配線層のパターニングにより形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0029】この発明に係る液晶表示装置は、絶縁基板上に形成された、アナログスイッチを構成する複数のトップゲート型薄膜トランジスタと、ビデオラインと交差するよう配置され、シフトレジスタからの出力をアナログスイッチとしての薄膜トランジスタのゲート電極に供給する信号配線とを有するドライバー型体液晶表示装置であって、該複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタのゲート電極に信号を供給

8

する信号配線は、第1の配線層のパターニングにより形成され、該薄膜トランジスタの活性層近傍に分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0030】この発明に係る液晶表示装置は、絶縁基板上に形成された、シフトレジスタに含まれるインバータもしくはクロックドインバータを構成するトップゲート型のNチャンネル薄膜トランジスタ及びPチャンネル薄膜トランジスタを複数有するドライバー型体液晶表示装置であって、該インバータもしくはクロックドインバータに接続され、これを構成するNチャンネル及びPチャンネルトランジスタの一方のチャンネル上を通ってもう一方のチャンネル上に延びる信号配線を複数備え、該複数の信号配線のうちの少なくとも一部の信号配線は、第1の配線層のパターニングにより形成され、該Pチャンネル薄膜トランジスタの島領域と、該Nチャンネル薄膜トランジスタの島領域との間に分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0031】この発明に係る液晶表示装置は、絶縁基板上に形成され、液晶表示部を構成する絵素用薄膜トランジスタを有するドライバー型体液晶表示装置であって、該薄膜トランジスタのゲート電極に信号を供給するゲートバスラインを備えており、該ゲートバスラインは、第1の配線層のパターニングによりゲート電極と同一層材料から形成され、ソースバスラインとの交差部において絵素ごとに分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0032】この発明に係る液晶表示装置は、絶縁基板上に形成され、液晶表示部を構成する絵素用薄膜トランジスタを有するドライバー型体液晶表示装置であって、該薄膜トランジスタのゲート電極に信号を供給するゲートバスラインを備えており、該ゲートバスラインは、第1の配線層のパターニングによりゲート電極と同一層材料から形成され、隣接するソースバスライン間において絵素ごとに分離部を有する配線本体部と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体部の分離部を接続する配線接続部とから構成されており、そのことにより上記目的が達成される。

【0033】この発明に係る液晶表示装置は、絶縁基板上に形成された複数の薄膜トランジスタを有するドライバー型体液晶表示装置であって、該複数の薄膜トラン

9

ジスタのうちの少なくとも一部の薄膜トランジスタは、  
100 $\mu$ m以上のチャンネル幅を有し、該チャンネル幅  
方向に複数に分割したものであって、そのゲート電極  
が、第1の配線層のパターニングにより形成され、該薄  
膜トランジスタの、隣接する分割部分の間に分離部を有  
する電極本体部と、該第1の配線層とは異なる第2の配  
線層のパターニングにより形成され、該電極本体部の分  
離部を接続する電極接続部とから構成されているもので  
あり、そのことにより上記目的が達成される。

【0034】この発明において、前記第2の配線層は、10  
A1からなる上層配線層であることが好ましい。

【0035】この発明において、前記第2の配線層は、  
TiW、Ti、Mo、W、あるいはWSiからなる上層  
配線層であることが好ましい。

【0036】この発明において、前記分離部を有する信  
号配線以外の信号配線は、分離部を有しない配線本体部  
のみから構成されていることが好ましい。

【0037】この発明において、前記ゲート電極が分離  
部を有する薄膜トランジスタ以外の薄膜トランジスタの  
ゲート電極は、分離部を有しない電極本体部のみから構  
成されていることが好ましい。20

【0038】この発明に係る液晶表示装置は、絶縁基板  
上に形成された複数のトップゲート型薄膜トランジスタ  
を有するドライバー一体型液晶表示装置であって、該複  
数の薄膜トランジスタのうちの少なくとも一部の薄膜ト  
ランジスタのゲート電極に接続された、信号の印加が行  
われないダミー信号配線を有し、該ダミー信号配線は、  
所定の配線層のパターニングにより該ゲート電極と同一  
層材料から形成され、連続した配線パターンを有するも  
のであり、そのことにより上記目的が達成される。30

【0039】この発明において、前記ダミー信号配線  
は、該ダミー信号配線を有する薄膜トランジスタ以外の  
薄膜トランジスタのゲート電極に信号を供給する信号配  
線に比べて、ゲート配線長が長いものであることが好ま  
しい。

【0040】

【作用】本発明においては、ドライバー一体型液晶表示  
装置を構成する複数の薄膜トランジスタのうちの少なく  
とも一部の薄膜トランジスタについて、その一端が薄膜  
トランジスタのゲート電極となっている信号配線を、該  
トランジスタの活性領域近傍に分離部を有する、第1の  
配線層のパターニングにより形成した配線本体部と、該  
配線本体部の分離部を接続する、該第1の配線層とは異  
なる第2の配線層のパターニングにより形成した配線接  
続部とから構成したから、信号配線のチャージアップが  
生ずるイオン注入を、配線本体部を形成した状態で行  
い、その後、配線接続部の形成により、上記配線本体部  
の分離部を接続するようにすることにより、イオン注入  
時におけるTFTのゲート絶縁膜の破壊を抑制できる。

【0041】従って、ドライバー内蔵液晶表示装置にお30

10

ける、上記TFTを回路素子として含むシフトレジスタ  
の不良を激減させることができる。

【0042】また、本発明においては、ドライバー一体  
型液晶表示装置を構成する複数の薄膜トランジスタのう  
ちの少なくとも一部の薄膜トランジスタについて、薄膜  
トランジスタのゲート電極にクロックラインよりクロッ  
ク信号を入力する信号配線を、上記分離部を有する配線  
本体部と、該分離部を接続する配線接続部とから構成し  
たので、ゲート絶縁膜の破壊防止だけでなく、分離部の  
長さや、配線本体部及び配線接続部の抵抗を調整するこ  
とにより、それぞれのクロックラインからシフトレジス  
タへの配線抵抗をそろえることも可能である。

【0043】従って、クロック信号の同期のずれが発生  
しにくく、シフトレジスタが誤動作することもない。

【0044】また、本発明においては、一部が各絵素の  
TFTのゲートとなっているゲートバスラインを、絵素  
ごとに分離部を有する配線本体部と、該分離部を接続す  
る配線接続部とからなる構造としたので、ゲート絶縁膜  
の破壊防止だけでなく、配線接続部に低抵抗材料を用い  
ることにより、ゲートバスラインを低抵抗にすることも  
でき、信号の遅延を防ぐことができる。

【0045】本発明においては、ドライバー一体型液晶  
表示装置を構成する複数の薄膜トランジスタのうちの少  
なくとも一部の薄膜トランジスタについて、薄膜トラン  
ジスタのゲート電極に、信号の印加が行われないダミー  
信号配線を接続し、該ダミー信号配線を、所定の配線層  
のパターニングにより該ゲート電極と同一層材料から形  
成され、連続した配線パターンを有する構造としたの  
で、信号配線の形成後のイオン注入時に生ずる信号配線  
の帯電によるゲート絶縁膜の破壊を、上記ダミー信号配  
線におけるゲート配線長さを通常の信号配線のゲート配  
線長さより長くすることにより、該ダミー信号配線に集  
中させることが可能となる。これにより、通常の信号配  
線でのゲート絶縁膜の破壊をほとんど回避することがで  
きる。

【0046】

【実施例】

（実施例1）図1は本発明の第1の実施例によるドライ  
バー一体型液晶表示装置を説明するための概略平面図で  
あり、そのドライバー部におけるシフトレジスタの1部  
分を示している。また、図2（a）は、上記ドライバ  
ー一体型液晶表示装置を構成する絵素TFTの断面図であ  
る。また、図2（b）は、図1のX部分の断面構造を示  
す図である。なおここでは、図1のX部分のみ図示して  
いるが、図1のY部分及びZ部分もX部分と同様の断面  
構造となっている。図において、図11と同一符号は従  
来のシフトレジスタと同一のものを示し、127は、該  
薄膜トランジスタ17のゲート電極にクロックライン1  
6より非反転クロック信号 $\phi D$ を入力する信号配線であ  
る。該信号配線127は、多結晶シリコン膜（第1の配



11

線層)のバターンニングにより形成され、該薄膜トランジスタの活性層17a近傍に分離部107aを有する配線本体107と、アルミ膜のバターンニングにより形成され、該配線本体の分離部107aを接続する配線接続部117とから構成されている。

【0047】また、128は、該薄膜トランジスタ18のゲート電極にクロックライン16より反転クロック信号 $\phi$ Dを入力する信号配線であり、該信号配線127と同様、多結晶シリコン膜(第1の配線層)のバターンニングにより形成され、該薄膜トランジスタの活性層18a近傍に分離部108aを有する配線本体108と、アルミ膜のバターンニングにより形成され、該配線本体の分離部108aを接続する配線接続部118とから構成されている。

【0048】また、129は、上記両トランジスタ領域17a、18a上にまたがるよう設けられている信号配線である。この信号配線129は多結晶シリコン膜(第1の配線層)のバターンニングにより形成され、該トランジスタ領域17a及び18a間に分離部109aを有する配線本体109と、アルミ膜のバターンニングにより形成され、該配線本体の分離部109aを接続する配線接続部119とから構成されている。

【0049】ここで上記各配線本体107、108、109と配線接続部117、118、119とは、コンタクトホール5を介して接続されている。

【0050】また、図16は第1の実施例の液晶表示装置のドライバ部におけるシフトレジスタの他の部分を示している。図16のX1部分及びZ1部分は、図2(b)に示す図1のX部分と同様の断面構造となっている。この図において、37、38はそれぞれ絶縁基板上に隣接して配置されたNチャンネルTFT及びPチャンネルTFTであり、これらはクロックドインバータを構成している。上記NチャンネルTFT37のトランジスタ領域37aの一端側には、低電圧側電源ライン11がコンタクトホール5を介して接続され、PチャンネルTFT38のトランジスタ領域38aの一端側には、高電圧側電源ライン12がコンタクトホール5を介して接続されている。また上記両トランジスタ領域37a、38aの他端側は、1つの信号配線19とコンタクトホール5を介して接続されている。

【0051】また、527は、該薄膜トランジスタ37のゲート電極にクロックライン13より反転クロック信号 $\phi$ Aを入力する信号配線である。該信号配線527は、多結晶シリコン膜(第1の配線層)のバターンニングにより形成され、該薄膜トランジスタの活性層37a近傍に分離部507aを有する配線本体507と、アルミ膜のバターンニングにより形成され、該配線本体の分離部507aを接続する配線接続部517とから構成されている。

【0052】また、48は、該薄膜トランジスタ38の

12

ゲート電極にクロックライン13より非反転クロック信号 $\phi$ Aを入力する信号配線であり、この信号配線は、ゲート配線長さ、つまり薄膜トランジスタ38のゲート電極からクロックライン等の信号ラインまでの距離が他の信号配線に比べて短いため、信号配線527におけるような分離部は設けていない。

【0053】また、529は、上記両トランジスタ領域37a、38a上にまたがるよう設けられている信号配線である。この信号配線529は多結晶シリコン膜(第1の配線層)のバターンニングにより形成され、該トランジスタ領域37a及び38a間に分離部509aを有する配線本体509と、アルミ膜のバターンニングにより形成され、該配線本体の分離部509aを接続する配線接続部519とから構成されている。

【0054】なお、本実施例のシフトレジスタを構成するインバータについては図示していないが、該シフトレジスタにおける複数のインバータのうちの少なくとも一部のインバータは、図1または図16に示すクロックドインバータと同様、インバータを構成するNチャンネルTFT及びPチャンネルTFTの両トランジスタ領域上にまたがるよう設けられている信号配線を、多結晶シリコン膜(第1の配線層)のバターンニングにより形成され、該両TFTのトランジスタ領域間に分離部を有する配線本体と、該アルミ膜のバターンニングにより形成され、該配線本体の分離部を接続する配線接続部とからなる構造としている。

【0055】次に製造方法について説明する。

【0056】まず、絶縁基板21上の全面に半導体層602となる多結晶薄膜をCVD法によって形成する。次にCVD法、スパッタリング法、又はこの多結晶薄膜上面の熱酸化により後にゲート絶縁膜603となる絶縁膜を形成する。ゲート絶縁膜603の厚さは約100nmである。

【0057】次に上記多結晶薄膜及び絶縁膜のバターンニングを行い、厚さ40nm~80nmの半導体層602を形成する。上述のゲート絶縁膜603の形成は半導体層のパターン形成のあとに行っても良い。また絶縁膜の形成前に多結晶シリコン薄膜の結晶性を高めるためレーザアニールまたは窒素雰囲気中でのアニール等の処理を行うことも可能である。

【0058】次に後にゲートバス配線1となる多結晶シリコン薄膜をCVD法により厚さ450nm程度に形成しドーピングを行う。これにより低抵抗の多結晶シリコン薄膜を得る。

【0059】その後、低抵抗の多結晶シリコンのバターンニングによって図1に示す形状の信号配線127、128、129の配線本体部107、108、109、及び図16に示す形状の信号配線527、529の配線本体部507、509、並びに図16に示す信号配線48を形成する。該配線本体部107、108、109の一部

13

は、上記シフトレジスタを構成するトランジスタ17、18のゲート電極となっており、該配線本体部507、509の一部、及び信号配線48の一部は、上記シフトレジスタを構成するトランジスタ37、38のゲート電極となっている。この時、絵素用TFTでは、そのゲート電極604が形成される。上記ゲート電極は、Alなどの金属により形成してもよい。

【0060】次に上記ゲート電極604をマスクとし、かつフォトリソグラフィ法によって形成されたレジストによるマスクを用いて、TFTのN型、P型を決定するために半導体層602のゲート電極604の下方以外の部分にイオン注入を行う。これによって、チャンネル部602aが形成される。この時上記各トランジスタ領域17a、18a、37a、38aにもチャンネル部が形成される。

【0061】その後、この基板上の全面に1番目の層間絶縁膜605を700nmの厚さに形成し、層間絶縁膜のコンタクトホール606を形成する。この時、上記各トランジスタ領域17a、18a及び配線本体部107、108、109の、分離部107a、108a、109a近傍端部の上にもコンタクトホール5を形成するとともに、上記各トランジスタ領域37a、38a及び配線本体部507、509の、分離部507a、509a近傍端部の上にもコンタクトホール5を形成する。

【0062】次に配線パターン607をAl等の低抵抗の金属を用いて厚さ600nm程度に形成する。このとき、上記配線本体部107、108、109の分離部107a、108a、109aを接続する配線接続部117、118、119も形成するとともに、上記配線本体部507、509の分離部507a、509aを接続する配線接続部517、519も形成する。今回、絵素TFT部分では、コンタクト不良を防ぐため第1番目の層間絶縁膜605を形成した後にTFTのドレイン電極と絵素電極611をつなぐためのコンタクトホール606を形成し、これをAl等の金属で埋め込んでいる。これによりドレイン電極と絵素電極611の段差を少なくしている。

【0063】その後、2番目の層間絶縁膜608を厚さ600nmに形成し、これにコンタクトホール609を形成する。このコンタクトホール609にはAlとITOのオーミックコンタクトを取るためTiW、WSi、Mo、Wなどの金属層610を埋め込み形成する。

【0064】次に、透明電極ITOのパターニングによって絵素電極611を厚さ150nm程度に形成する。このようなプロセスで絵素部が作製され、シフトレジスタ部のTFT17、18、37、38等が作製される。

【0065】このように本実施例では、液晶表示装置を構成する複数の薄膜トランジスタのうちの所定の薄膜トランジスタについて、その一部が薄膜トランジスタのゲート電極となっている信号配線127、128、12

14

9、517、519を、該トランジスタの活性領域近傍に分離部107a、108a、109a、507a、509aを有する、多結晶シリコンからなる配線本体107、108、109、507、509と、該分離部を接続する、アルミからなる配線接続部117、118、119、517、519とから構成したので、信号配線のチャージアップが生ずるイオン注入を、配線本体を形成した状態でを行い、その後、配線接続部の形成により、上記配線本体部の分離部を接続するようにすることにより、イオン注入時におけるTFTのゲート絶縁膜の破壊を防止できる。

【0066】従って、ドライバー内蔵液晶表示装置における、上記TFTを回路素子として含むシフトレジスタの不良を激減させることができる。

【0067】また、薄膜トランジスタのゲート電極にクロックラインよりクロック信号を入力する信号配線127、128、517を、上記分離部を有する配線本体と、分離部を接続する配線接続部とから構成したので、ゲート絶縁膜の破壊防止だけでなく、分離部の長さや、配線本体部及び配線接続部の抵抗を調整することにより、それぞれのクロックラインからシフトレジスタへの配線抵抗をそろえることも可能である。

【0068】本件発明者は、TFTから上記アルミによる配線接続部までの距離（トランジスタからのゲート配線の長さ）を10 $\mu$ m、100 $\mu$ m、200 $\mu$ mと変えた300段のシフトレジスタを作成し、300段目の出力によりシフトレジスタの歩留を評価した。図3において、横軸はTFTから金属による接続部までの長さであり、縦軸は300段のシフトレジスタの歩留まりである。この実験によれば、TFTから接続部までの距離が200 $\mu$ mのとき30%、100 $\mu$ mのとき85%、10 $\mu$ mのとき98%の歩留が得られた。この実験においてもTFTから金属による接続部までの距離を短くすることにより、シフトレジスタの歩留が上がる事が確認された。

【0069】（実施例2）図4は本発明の第2の実施例による液晶表示装置を説明するための図である。上記実施例では、シフトレジスタのクロックラインからクロックドインバータに入力しているゲート配線を分離したが、この実施例は、該液晶表示装置におけるドライバーを構成する複数のアナログスイッチのうちの少なくとも一部のアナログスイッチについて、そのゲート入力部分において、上記第1の実施例と同様の分離部を有する構造を実現したものである。

【0070】図において、図14(a)と同一符号は同一のものを示し、227は、B、G、Rビデオライン134と交差するよう配置され、シフトレジスタからの出力をアナログスイッチ133に供給する信号配線である。該信号配線227は、多結晶シリコン膜等のパターニングにより形成され、アナログスイッチ133を構成

15

する薄膜トランジスタの活性層近傍に分離部207aを有する配線本体207と、アルミ膜等のパターニングにより形成され、該配線本体の分離部207aを接続する配線接続部217とから構成されている。

【0071】このような構成の第2の実施例においても、アナログスイッチへのゲート配線227の配線本体207を形成した状態で、トランジスタの導電性を設定するイオン注入を行い、その後、該配線本体の分離部207aを後工程で使用される金属により接続することにより、アナログスイッチ133のゲート絶縁膜のチャージアップによる破壊を防止することができる。

【0072】（実施例3）図5は本発明の第3の実施例による液晶表示装置を説明するための図である。上記液晶表示装置におけるゲートドライバもしくはソースドライバのバッファ部もしくはビデオ信号をサンプリングするためのアナログスイッチには、該ドライバのその他の回路部分とは異なり、幅が100 $\mu$ m以上のTF Tが使用される。

【0073】この場合にも幅が小さいTF Tに比べてTF Tのイオン注入時における破壊が起こり易いことが判明した。この場合には、図5に示すように、通常のレイアウト（TF Tの幅2W）のもの（図5（a））を、図5（b）のように幅Wのもの2つに分けて、その分けたTF T間でゲート電極を分離し、この分離部を、イオン注入処理後に他の配線により接続することにより、TF Tの破壊が防止できる。ここで121aは信号入力ライン、122aは信号出力ライン、123aはゲート電極である。

【0074】すなわち、上記アナログスイッチを構成する薄膜トランジスタ125は、100 $\mu$ m以上のチャンネル幅を有し、該チャンネル幅方向に複数に分割したものである。該薄膜トランジスタ125のゲート電極223は、多結晶シリコン膜等のパターニングにより形成され、該薄膜トランジスタの、隣接する分割部分125a、125bの間に分離部103aを有する電極本体103と、アルミ膜等のパターニングにより形成され、該電極本体部分の分離部103aを接続する電極接続部113とから構成されている。

【0075】この場合も上記各実施例と同様にアナログスイッチのチャージアップによる破壊を防止できる。

【0076】（実施例4）図6は本発明の第4の実施例による液晶表示装置を説明するための図であり、アクティブマトリクス基板の絵素1個分を拡大して示している。

【0077】上記液晶表示装置の液晶表示部のTF Tがイオン注入時に破壊される場合は、ゲートバスラインの本体部分を、絵素ごとに分離部を有する構造とし、後の工程で用いられる金属層により該分離部を接続するようにすることにより、対応できる。

【0078】図において、図15と同一符号は同一のも

16

のを示し、本実施例においては、ゲートバスライン321は、多結晶シリコン膜等のパターニングにより形成され、ソースバスラインとの交差部57において絵素ごとに分離部301aを有する配線本体301と、アルミ膜等のパターニングにより形成され、該配線本体部の分離部301aを接続する配線接続部311とから構成されている。また、ゲートバスライン322も上記ゲートバスライン321と同様、交差部58において絵素ごとに分離部302aを有する配線本体302と、該分離部302aを接続する配線接続部312とから構成されている。

【0079】ここでは、ゲートバスライン321の分離部301aは、ソースバスライン2aと同じ層の金属膜では接続できないので、図7に示すように、ゲートバスライン321の配線本体301とアルミ層607とを、第1層目の層間絶縁膜605のコンタクトホール606により接続し、ソースバスラインとゲートバスラインの交差部57における分離部301aをTiWやMoなどの金属層610で接続している。

【0080】このように本実施例においても、一部が絵素用TF Tのゲート電極となっているゲートバス配線321、322については、イオン注入を行う状態では、各絵素ごとに分離部を有する配線本体301、302のみを形成しておくことができる。このようにしておくことにより、イオン注入時における絵素TF Tにおけるゲート絶縁膜の放電破壊を防止することができる。

【0081】また、この配線接続部の金属材料が、ゲート電極よりも低抵抗である場合には、ゲートバスラインにおける信号の遅延も防ぐことができる。

【0082】また、図6においてはゲートバスラインとソースバスラインの交差部でゲートバスラインの分離部の接続を行っているが、これに限るものではない。例えば、図8に示すようにゲートバスライン421は、第1の配線層のパターニングにより形成され、隣接するソースバスライン間において絵素ごとに分離部401aを有する配線本体401と、該第1の配線層とは異なる第2の配線層のパターニングにより形成され、該配線本体の分離部401aを接続する配線接続部411とから構成してもよい。またゲートバスライン422も、上記ゲートバスライン421と同様、絵素ごとに分離部402aを有する配線本体402と、該分離部402aを接続する配線接続部412とから構成してもよい。

【0083】（実施例5）図17は本発明の第5の実施例によるドライバー一体型液晶表示装置におけるソースドライバの構成の一部を示す図であり、図において、図10と同一符号は従来のシフトレジスタと同一のものを示し、D4は、D系列のシフトレジスタの最終部分、つまり単位シフトレジスタD3の出力側に設けられたダミー単位シフトレジスタで、他の単位シフトレジスタD1～D3とは異なり、出力パルスのアナログスイッチへの

17

供給が行われないように構成されており、このダミー単位シフトレジスタD4では、これを構成する薄膜トランジスタのゲート電極に接続されるダミー信号配線は、ゲート絶縁膜破壊が起りやすいようなパターンとなっている。なお、他の単位シフトレジスタについては、上記第1実施例と同一の構成となっている。

【0084】図18は上記ソースドライバを構成するシフトレジスタの1部を示す平面図であり、該ダミー単位シフトレジスタD4の基板上でのレイアウトを示している。図において、図11と同一符号は同一のものを示し、ダミー信号配線727及び729に放電破壊が起りやすくするために、従来のものと同様配線接続部は設けていない。またここではダミー信号配線728は、放電破壊をより起りやすくするために蛇行状部分728aを有する構造としている。なお、この蛇行状部分728aを有するダミー信号配線728に代えて、従来と同一構造の、配線接続部を有しないものを用いてもよい。また、ここでは、ダミー信号配線727及び728とクロックライン16とを電気的に接続するためのコンタクトホールは形成していない。

【0085】このような構成の本実施例では、D系列のシフトレジスタの最終部分に出力パルスアナログスイッチに送らないダミー単位シフトレジスタD4を設け、このダミー単位シフトレジスタを、放電破壊が起りやすい信号配線のパターンを有する構造としているので、放電が起った場合にこの部分で放電破壊が起ることになり、信号の転送を行うシフトレジスタ内部のTFTの放電破壊を起りにくくすることができる。

【0086】つまり、本実施例では、ダミー単位シフトレジスタD4におけるダミー信号配線727及び729には配線接続部は設けず、またダミー信号配線728を放電破壊を起りやすくするための蛇行状部分728aを有する構造としているので、ダミー単位シフトレジスタを構成するダミー信号配線におけるゲート配線長さが、通常の単位シフトレジスタを構成する、上記配線接続部を有する信号配線におけるゲート配線長さよりも長くなり、ダミー単位シフトレジスタでの放電破壊が起りやすくなり、これにより、通常の単位シフトレジスタでの放電破壊を抑制することができる。

【0087】またダミー信号配線727及び728とクロックライン16とを電気的に接続するためのコンタクトホールは形成していないので、ダミー単位シフトレジスタD4のTFT17及び18において放電破壊が起ってもクロックラインφD及び/φDに影響を与えない。

【0088】なお、本実施例においては、シフトレジスタの最終部分に、通常の単位シフトレジスタと比べて放電破壊の起りやすいダミー単位シフトレジスタを設け、通常の単位シフトレジスタでの放電破壊を抑制するようにしたが、液晶表示装置の表示部の周辺部に、表示

18

に参与しないダミーの絵素パターンを設け、この絵素パターンに対応するTFTを、液晶表示部のTFTに比べて放電破壊が起りやすいパターンとすれば、液晶表示部におけるTFTの放電破壊を起りにくくすることができる。

【0089】例えば、ダミーの絵素パターンに対応するゲートバスラインを、液晶表示部のゲートバスラインとは異なり、図18に示すような蛇行状部分を有する構造としたり、該ダミーの絵素パターンに対応するゲートバスラインを、液晶表示部における分離部を有するゲートバスラインに対して、該分離部を有しない構造としたりすることにより、液晶表示部におけるTFTの放電破壊を低減することができる。

【0090】

【発明の効果】以上のように本発明に係る液晶表示装置によれば、該液晶表示装置を構成する複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタについて、その一端が薄膜トランジスタのゲート電極となっている信号配線を、該トランジスタの活性領域近傍に分離部を有する、第1の配線層のパターニングにより形成した配線本体部と、該配線本体部の分離部を接続する、該第1の配線層とは異なる第2の配線層のパターニングにより形成した配線接続部とから構成したので、信号配線のチャージアップが生ずるイオン注入を、配線本体部を形成した状態で先行、その後、配線接続部の形成により、上記配線本体部の分離部を接続するようにすることにより、イオン注入時におけるTFTのゲート絶縁膜の破壊を抑制できる。

【0091】従って、ドライバー内蔵液晶表示装置における、上記TFTを回路素子として含むシフトレジスタの不良を激減させることができる。

【0092】また、本発明に係る液晶表示装置によれば、該液晶表示装置を構成する複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタについて、薄膜トランジスタのゲート電極にクロックラインよりクロック信号を入力する信号配線を、上記分離部を有する配線本体部と、該配線本体部の分離部を接続する配線接続部とから構成したので、ゲート絶縁膜の破壊防止だけでなく、分離部の長さや、配線本体部及び配線接続部の抵抗を調整することにより、それぞれのクロックラインからシフトレジスタへの配線抵抗をそろえることも可能である。

【0093】従って、クロック信号の同期のずれが発生しにくく、シフトレジスタが誤動作することもないという効果がある。

【0094】また、本発明においては、一部が各絵素のTFTのゲートとなっているゲートバスラインを、絵素ごとに分離部を有する配線本体部と、該分離部を接続する配線接続部とからなる構造としたので、ゲート絶縁膜の破壊防止だけでなく、配線接続部に低抵抗材料を用い

19

ることにより、ゲートバスラインを低抵抗にすることもでき、信号の遅延を防ぐことができる。

【0095】また、本発明に係る液晶表示装置によれば、ドライバー一体型液晶表示装置を構成する複数の薄膜トランジスタのうちの少なくとも一部の薄膜トランジスタについて、薄膜トランジスタのゲート電極に、信号の印加が行われないダミー信号配線を接続し、該ダミー信号配線を、所定の配線層のパターニングにより該ゲート電極と同一層材料から形成され、連続した配線パターンを有する構造としたので、信号配線の形成後のイオン注入時に生ずる信号配線の帯電によるゲート絶縁膜の破壊を、上記ダミー信号配線におけるゲート配線長さを通常の信号配線のゲート配線長さより長くすることにより、該ダミー信号配線に集中させることが可能となる。これにより、通常の信号配線でのゲート絶縁膜の破壊をほとんど回避することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例によるドライバー一体型液晶表示装置を構成するシフトレジスタの1部を示す平面図である。

【図2】上記ドライバー一体型液晶表示装置を説明するための断面図であり、図2(a)は上記液晶表示装置を構成する絵素用TFTの断面構造を示し、図2(b)は図1のX部分の断面構造を示す。

【図3】シフトレジスタのTFTにつながるゲート配線の長さに対するシフトレジスタの歩留をグラフで示す図である。

【図4】本発明の第2の実施例によるドライバー一体型液晶表示装置を構成するアナログスイッチ及びその近傍の構造を示すレイアウト図である。

【図5】本発明の第3の実施例によるドライバー一体型液晶表示装置を構成するアナログスイッチを説明するための図であり、図5(a)は従来のアナログスイッチを構成する、幅が大きいTFTの構造を示すレイアウト図、図5(b)は本実施例のアナログスイッチを構成する、複數に分割したTFTを示すレイアウト図である。

【図6】本発明の第4の実施例によるドライバー一体型液晶表示装置を構成する、1つの絵素に対応する部分の構成を拡大して示す図である。

【図7】図6のd-d'線断面図である。

【図8】本発明の第4の実施例の変形例として、ドライバー一体型液晶表示装置を構成する1つの絵素に対応する部分の構成を拡大して示す図である。

【図9】ドライバー一体型液晶表示装置の構成を模式的に示す図である。

【図10】上記ドライバー一体型液晶表示装置を構成するソースドライバの1部を示す図である。

【図11】従来のソースドライバの構成の1部を示す平面図である。

【図12】従来のソースドライバを構成するCMOSイ

20

ンバータを示すレイアウト図である。

【図13】図12のe-e'線断面の構造を製造工程順に示す図である。

【図14】従来のドライバー一体型液晶表示装置を構成するアナログスイッチを説明するための図であり、図14(a)は該アナログスイッチ及びその近傍の構造を示すレイアウト図、図14(b)は図14(a)のf-f'線断面図である。

【図15】従来のドライバー一体型液晶表示装置を構成する、1つの絵素に対応する部分の構成を拡大して示す図である。

【図16】上記第1の実施例によるドライバー一体型液晶表示装置を構成するシフトレジスタの他の部分を示す平面図である。

【図17】本発明の第5の実施例によるドライバー一体型液晶表示装置を構成するソースドライバの1部を示す図である。

【図18】上記第5の実施例のソースドライバの構成の1部を示す平面図である。

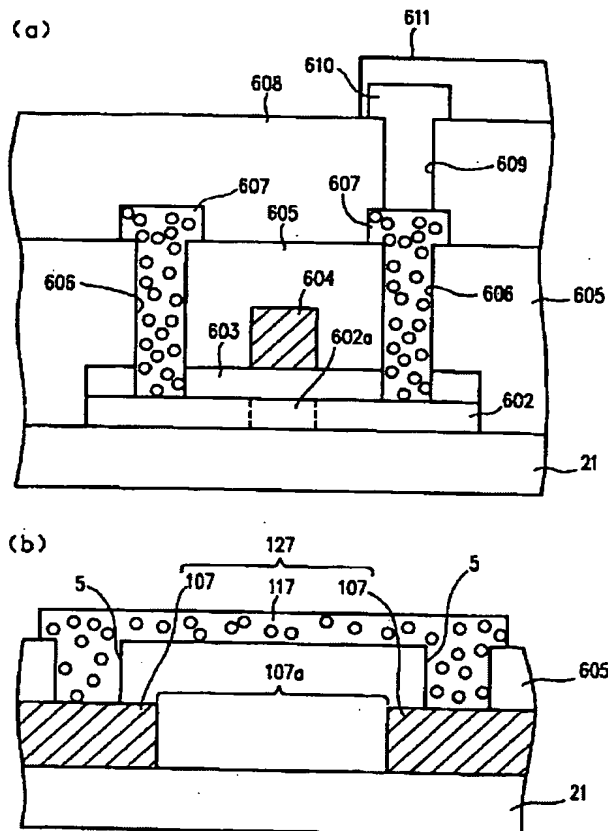
#### 【符号の説明】

5    コンタクトホール  
11    低電圧側電源ライン  
12    高電圧側電源ライン  
13~16    クロックライン  
17    NチャンネルTFT  
17a, 18a    トランジスタ領域  
18    PチャンネルTFT  
21    絶縁基板  
22    ゲート駆動回路  
23    ソース駆動回路  
24    TFTアレイ  
25    絵素用TFT  
26    絵素  
27    付加容量  
48, 127, 128, 129, 227, 527, 529    信号配線  
103    電極本体部  
107, 108, 109, 207, 301, 507, 509    配線本体  
103a, 107a, 108a, 109a, 207a, 301a, 507a, 509a    分離部  
113    電極接続部  
117, 118, 119, 217, 311, 312, 517, 519    配線接続部  
133    アナログスイッチ  
134    ビデオライン  
223    ゲート電極  
321, 322, 421, 422    ゲートバスライン  
602    半導体層  
602a    チャンネル部

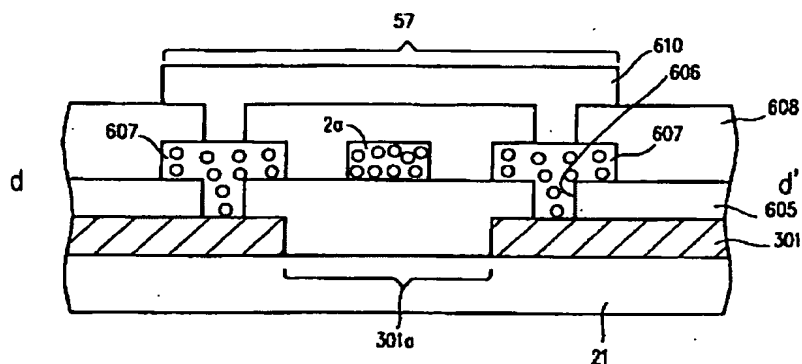
22

608 第2の層間絶縁膜  
611 絵素電極  
727, 728, 729 ダミー信号配線  
728a 蛇行状部分

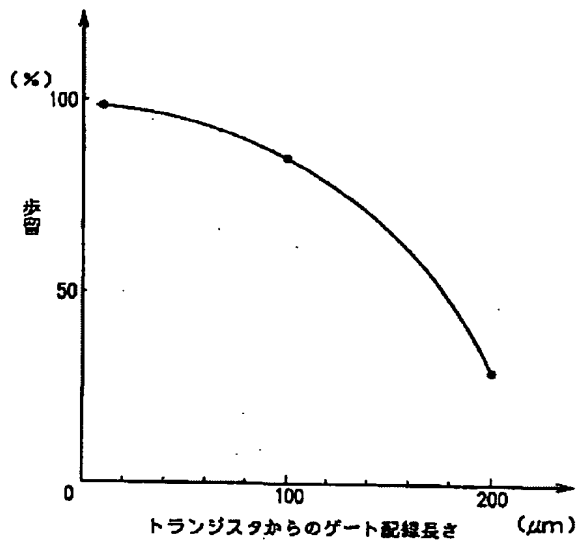
【図 2】



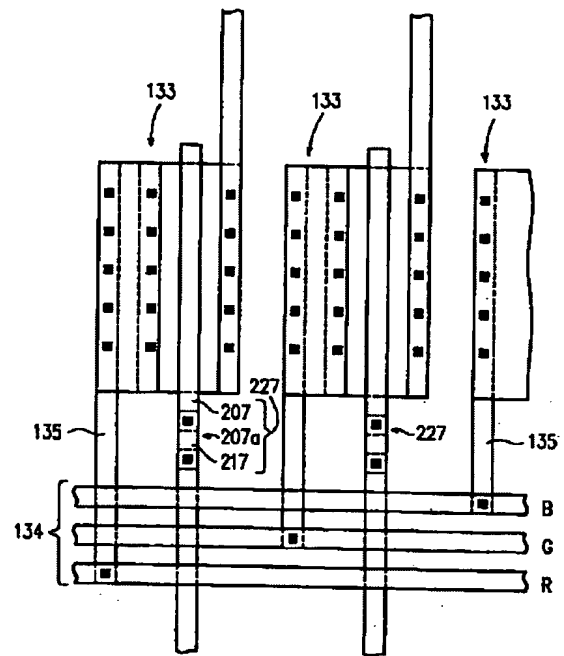
【图 7】



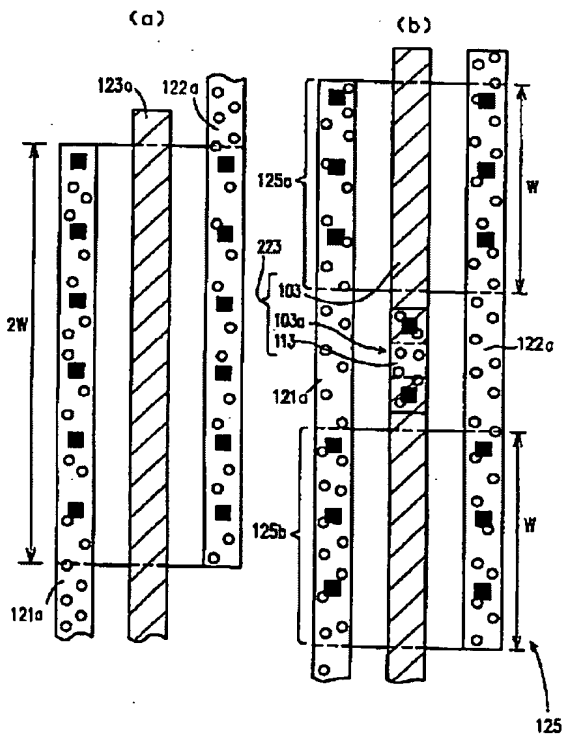
【図 3】



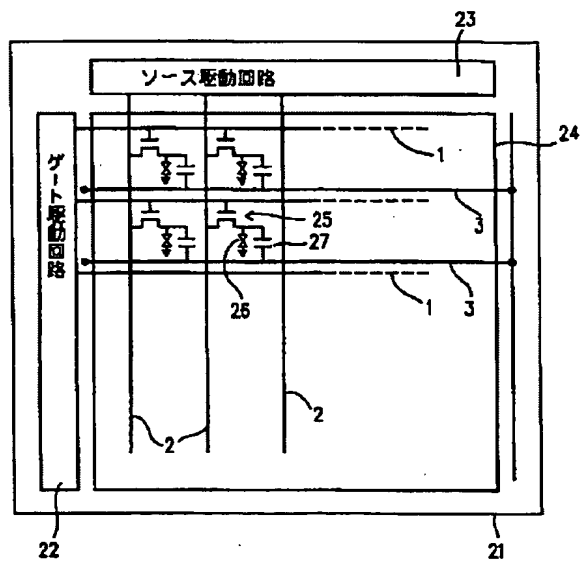
【図 4】



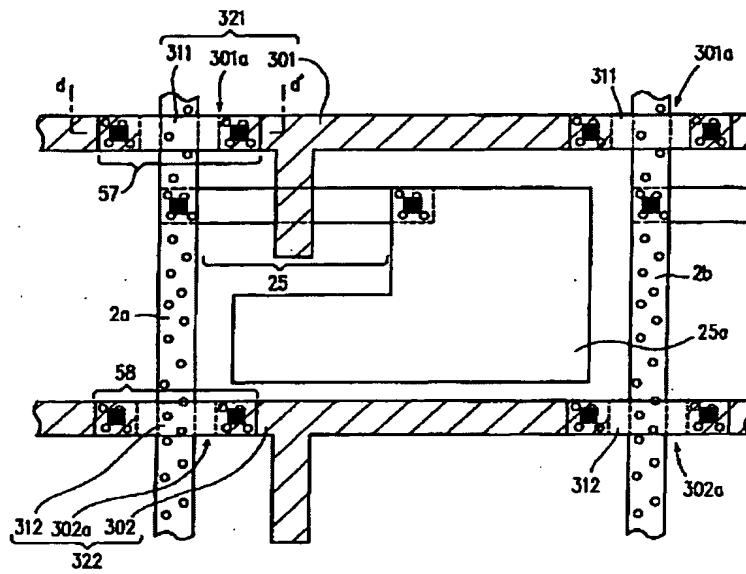
【図 5】



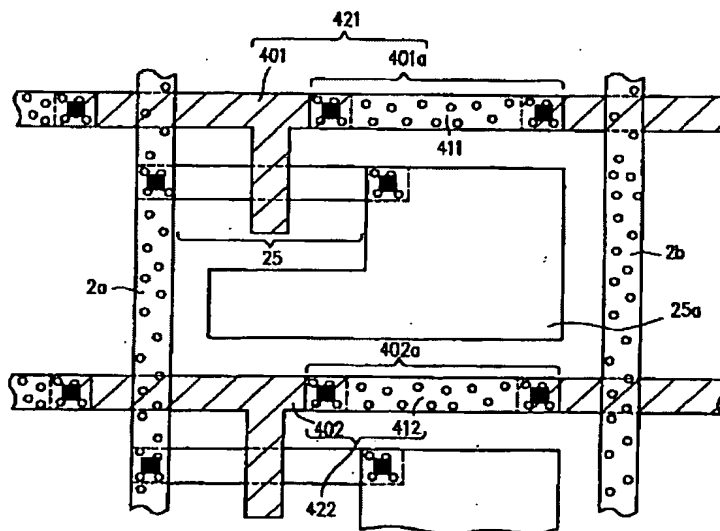
【図 9】



【図 6】

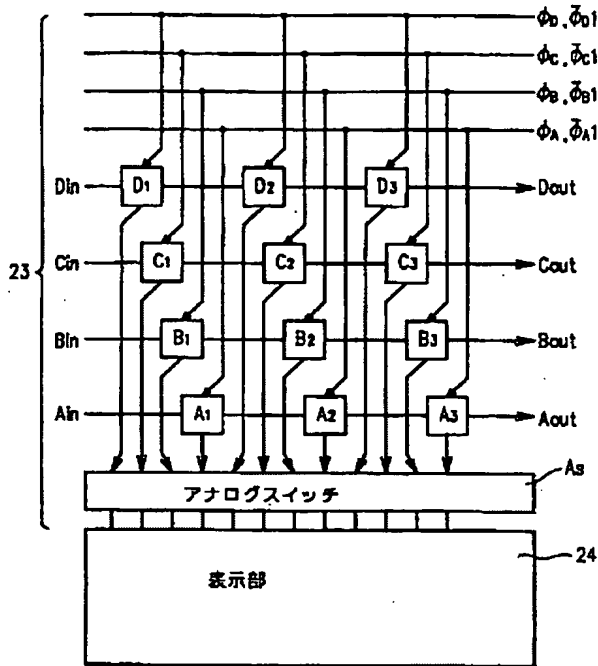


【図 8】

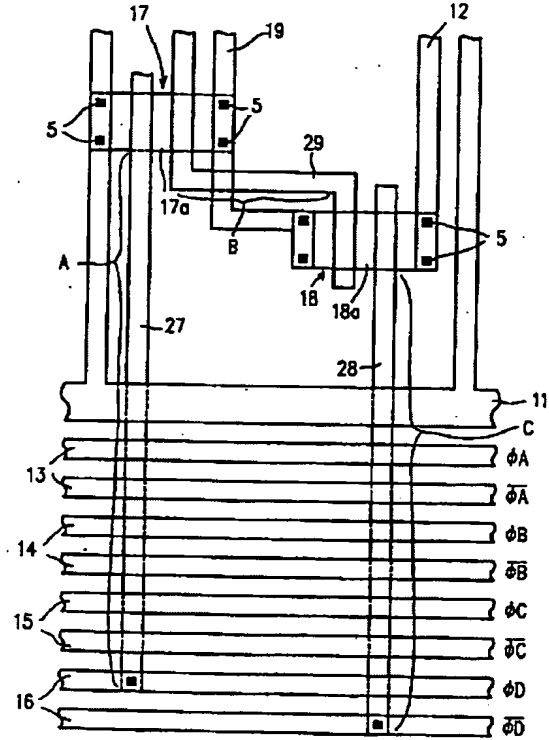




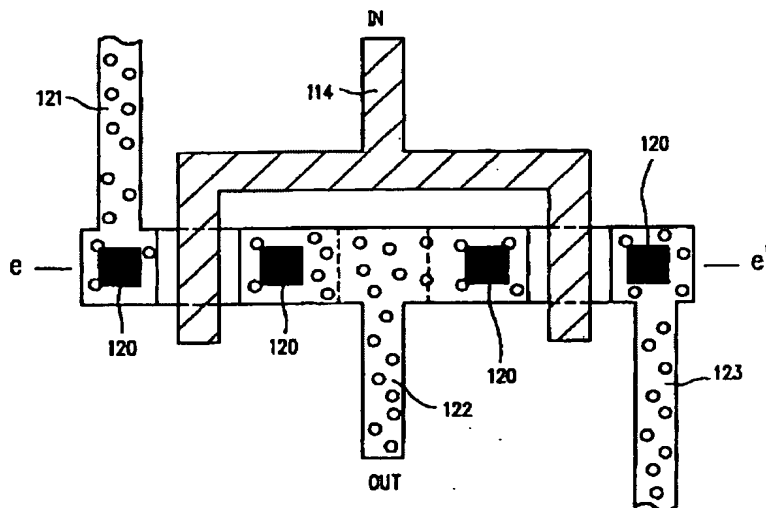
【図10】



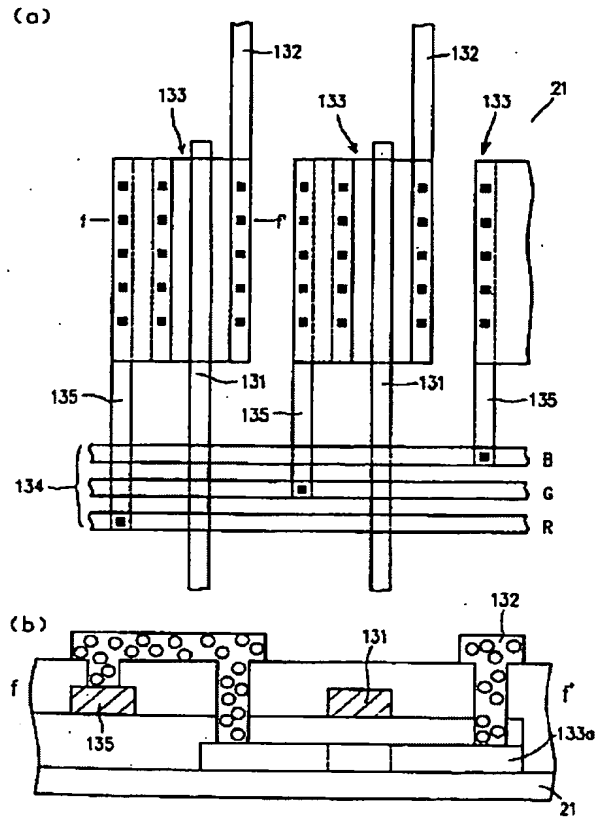
【図11】



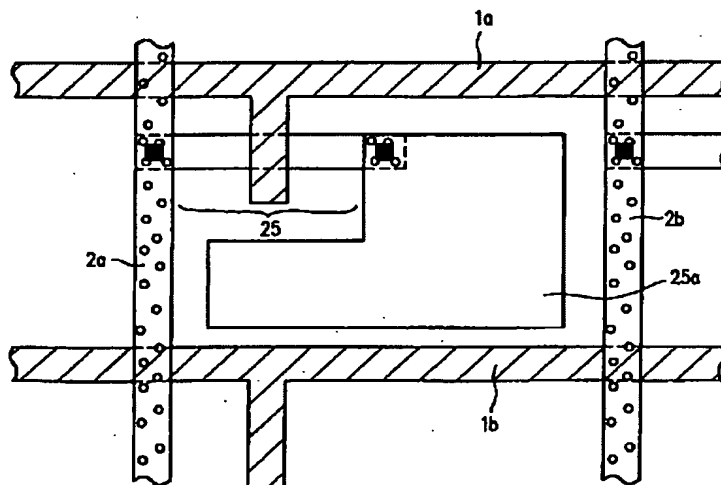
【図12】



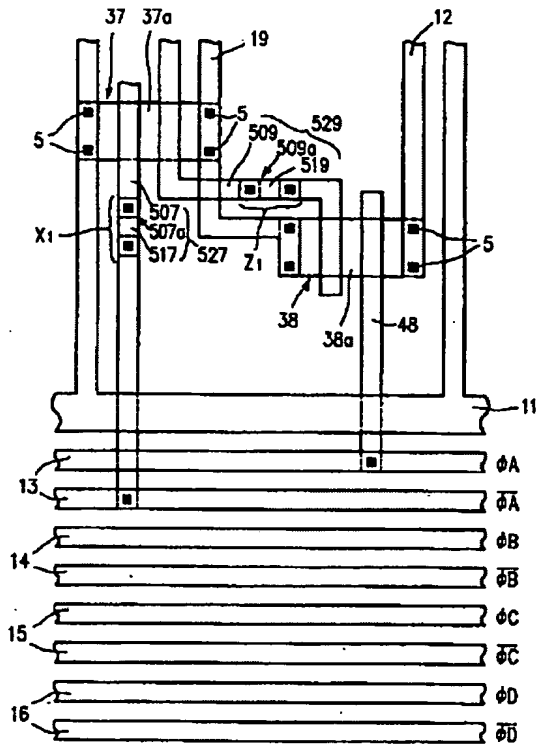
【图 14】



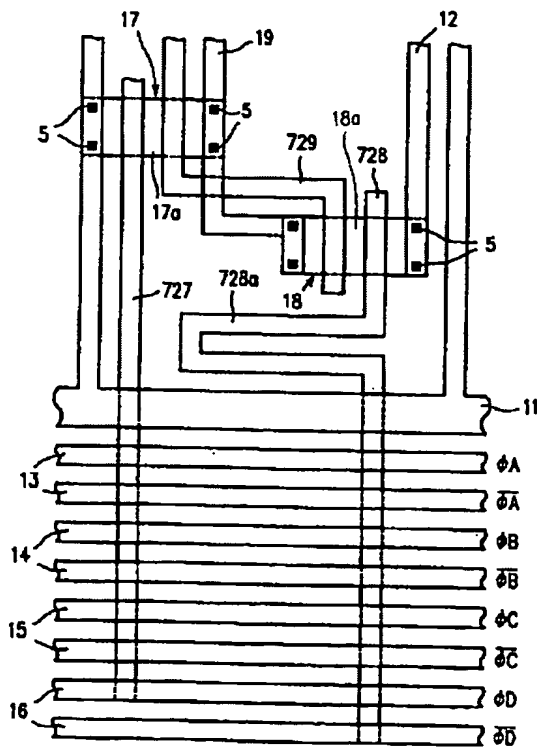
【図 15】



【図16】



【図18】



【図17】

